

極薄 GeO₂ 界面層を有する Zr 系 high-k/Ge ゲートスタック構造の形成

平山 佳奈^{*1,†}・岩村 義明^{*2}・上野 隆二^{*2}

楊 海貴^{*3}・王 冬^{*3}・中島 寛^{*3}

(平成22年10月29日 受理)

Fabrication of Zr-Based High-k/Ge Gate Stack Structure with Ultra Thin GeO₂ Interlayer

6-1 Kasuga-koen, kasuga, Fukuoka, Japan

Kana HIRAYAMA, Yoshiaki IWAMURA, Ryuuji UENO,
Haigui YANG, Dong WANG and Hiroshi NAKASHIMA

[†]E-mail of corresponding author: hirayak6@asem.kyushu-u.ac.jp

Zr-based high-permittivity (high-k) film/Ge gate stack structure with ultra thin GeO₂ interface layer (IL) was fabricated by ultra-thin bi-layer (SiO₂/GeO₂) passivation on Ge combined Zr/SiO₂ deposition and subsequent post deposition annealing (PDA). The best value of effective oxide thickness (EOT) was 1.1 nm. It was clarified that the interface state density (D_{it}) was decreased by nitrogen ions generated during TiN metal-gate deposition. We also investigated the effect of post-metallization annealing after Al deposition (Al-PMA). The Al-PMA was found to be very effective for a decrease in D_{it}. By using effects of nitrogen ions and Al-PMA, Al/TiN/ZrSiO/GeO₂/Ge structure with Al-PMA at 400 °C showed EOT of 1.7 nm and D_{it} of 1×10¹¹ cm⁻²eV⁻¹ at around midgap.

Key words: *Ge channel, MOS capacitor, high-k, interface state density, gate stack, electrical passivation,*

1. 緒 言

これまでSi-ULSIは、デバイス寸法をスケールリング（微細化）する手法で、高集積化、高速化及び低消費電力化を達成してきた。しかし、Si物性の制約からスケールリングに頼った高性能化に限界が見え始めている。微細化に頼らないポストスケールリング技術として、MOSFET（Metal Oxide Semiconductor Field Effect Transistor）のチャネル材料を変革し、キャリアの高速移動を可能とする技術（チャネル技術）の重要性が増している。その候補として、ゲルマニウム（Ge）が注目され、その代替は2017年頃と予測されている^{1,2)}。このような背景から、近年Geチャネルの研究が活発化している。GeチャネルをULSIに導入するには、Siチャネルと同様に、Ge上に高誘電率ゲート絶縁膜（high-k膜）を配置したゲートスタック構造が必須となる。そのため、Ge-MOSFETにおいてhigh-k/Ge（Ge上の

high-k膜）ゲートスタックの形成技術が重要且つ喫緊の課題の一つと言える。

絶縁膜/Ge界面では、界面準位密度（D_{it}: Interface State Density）がSi-MOSの界面であるSiO₂/Siより大きく、Geと絶縁膜の間に高品質な界面層（IL: Inter Layer）を作成する技術の開発が盛んである。最近、Geとの界面特性の優れた絶縁膜として、GeO₂、Ge₃N₄及びGeON等が報告されている³⁻⁵⁾。中でも、550-575のドライ熱酸化によって形成されるGeO₂/Ge構造はD_{it}が1×10¹¹ cm⁻²eV⁻¹と良好で⁶⁾、SiO₂/SiのD_{it}=10¹⁰ cm⁻²eV⁻¹台⁷⁾に近い値を示すことから、Geに対するILとして有望視されている。しかし、GeO₂は耐熱性に乏しく、また水溶性であることから、MOS形成プロセスに組み込むことが難しいとの課題が明らかにされている⁸⁾。更に、熱酸化GeO₂を大気中に放置すると、H₂Oや炭化物が容易にGeO₂中に混入し、特性が著しく劣化することも報告されている。^{9,10)}

*1 量子プロセス理工学専攻博士課程

*2 量子プロセス理工学専攻修士課程

*3 九州大学産学連携センター

この課題を克服する手法として、我々は大気暴露無しでGe表面を極薄のSiO₂/GeO₂界面層で保護する2層パッシベーション (BLP: Bi-layer Passivation) 法を提案した¹¹⁾。この手法を用いれば、界面特性の良いGeO₂/Ge界面が形成でき、且つ不安定なGeO₂を安定なSiO₂でパッシベーションできる。このBLP法は、Ge表面のパッシベーション技術として有用と考えている。

更に、我々は、Ge表面をBLPしたGe-MOSキャパシターにおいて、Al堆積後に熱処理するAl-PMA (PMA: Post Metallization Annealing)によって、D_{it}が低減できることを報告をしている¹²⁾。この手法を用いれば、D_{it}が $1 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 以下までの低減が可能であり、欠陥の終端技術として有用と考えている。

一方、MOSFETには、スケーリングに対する強い要請が課せられるため、ゲート絶縁膜は当然薄膜化しなければならない。半導体ロードマップによると、Geチャネルの導入が期待されている世代では、SiO₂換算膜厚(EOT: Effective Oxide Thickness)で0.8 nm以下が求められる¹³⁾。以下、high-k/Geに関する研究開発の現状を述べる。

Si-MOSで使用されている代表的なhigh-k膜材料にHfO₂とZrO₂がある。ZrO₂は、Ge界面でGeと結合しても高い誘電率を保ち、HfO₂よりもリーク電流を抑制できると報告されている¹⁴⁾。更に、ZrO₂がGeO₂上で示した最も高い誘電率()には44と非常に高いものがある¹⁵⁾。この特性を反映して、ZrO₂/Ge構造では最小でEOT=0.5 nmが得られている¹⁶⁾。このようなことからZr系high-k膜はGeに対するゲート絶縁膜として有望視されている。

また、ZrがSiO₂と固相反応しシリケート化したZrSiOでは、ZrO₂より僅かに誘電率は劣るが(ZrSiO ~ 12)¹⁷⁾、高い熱安定性をもつことが知られている。これは、ZrSiOが結晶化し難く、その結果としてリーク電流が抑制できるからである。また、ZrSiOは、高い熱安定性のため、絶縁膜形成後の熱処理 (PDA) によるGe原子のhigh-k膜中への拡散が抑制され、その結果、Geに起因する絶縁膜中のトラップサイトの数が減少することが報告されている¹⁸⁾。

現在、Zr系high-k/GeO₂-IL/Ge構造では、ZrO₂=20¹⁹⁾とした時、EOT=2.6 nm、D_{it}= $1 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ が報告されており²⁰⁾、D_{it}とEOTの要求は満たされていない。我々は、high-k膜としてZrSiOを選択し、BLP法で形成されるD_{it}の低いSiO₂/GeO₂/Ge構造上にZrSiOを形成すれば、D_{it}とEOTの要求を満たすことができると考えた。

high-k/Ge構造形成に於いて、もう一つの重要な課題はメタルゲートである。我々は、TiNをメタルゲートに採用し、TiN形成プロセスがhigh-k/Ge構造の電気特

性に及ぼす影響についても調べた。併せて、high-k/Ge構造におけるAl-PMA効果についても調べた。

本研究では、Si-MOSと同等のD_{it}及びEOTの低減が両立できるTiN/ZrSiO/GeO₂/Ge構造形成プロセスの確立を目標としている。

2. 実験

2.1 high-k/Ge 構造形成プロセス

high-k/IL/Ge構造に於けるhigh-k膜及びILを評価することを目的として、high-k/Geのゲートスタック構造を作成した。Ge基板はp形で、面方位:(100)、抵抗率:0.2-0.3 Ω·cm、アクセプター濃度:N_a= $2.1 \times 10^{16} \text{ cm}^{-3}$ である。形成プロセスフローをFig. 1に、模式図をFig. 2に示す。また、各種スパッタによる成膜条件をTable 1に、絶縁膜成膜後の熱処理条件をTable 2に示す。これらの図表を用いて、high-k/IL/Ge構造形成プロセスを述べる。

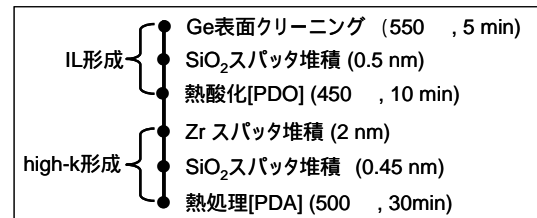


Fig. 1. Process flow for sample preparation.

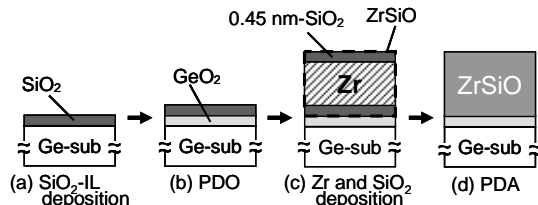


Fig. 2. Schematic process flow for sample preparation.

Table 1. Process conditions for SiO₂ and Zr deposition.

	P _{rf} (W)	Ar (sccm)	O ₂ (sccm)	Pressure (Pa)	Deposition rate (nm/min)	Temp. (°C)
SiO ₂	10	20	0	1	0.22	350
Zr	5	20	0	5	1.33	R.T.
SiO ₂	10	20	0.2	1	0.17	R.T.

Table 2. Treatment conditions for PDO, PDA and PMA.

	Temp. (°C)	Gas	Time (min)
PDO	450	O ₂	10
PDA	500	N ₂	30

基板をアセトンで洗浄後、10%の希HF溶液で洗浄し、自然酸化膜を除去した。その後、電気炉で450 - 30 分間のドライ熱酸化を行い、約3 nmのGeO₂膜を形成した。試料をPVDチャンパー内にセットして所定の真空度(4×10⁻⁵ Pa以下)まで排気し、同一チャンパー内でランプヒータ加熱により、試料温度約550 °Cで5 分間、引き続き350 °Cで25 分間の熱処理を行った。この熱処理により、GeO₂を完全に揮発させた。GeO₂は約425 °C以上の温度で揮発する性質があり⁸⁾、この熱処理でGeO₂が除去されたことはエリプソメトリー測定により確認している。その後、同一PVDチャンパー内にて、クリーニングを施したGe表面にSiO₂-ILをスパッタ堆積した。(Fig.2a)スパッタ堆積にはSiO₂ターゲットを用いた。次に、電気炉で熱酸化(PDO: Post Deposition Oxidation)を行った。(Fig.2b)high-k膜は、Zrを2 nmスパッタ堆積し、再びSiO₂-ILを形成したPVDチャンパーで0.45 nm-SiO₂を堆積した。(Fig.2c)次に、電気炉を用いて成膜後熱処理(PDA: Post Deposition Annealing)を行った。(Fig.2d)このPDAの狙いは、ZrとSiO₂との固層反応を促進させて絶縁性の良いZrSiO₄を形成すること、プラズマダメージの回復である。

2.2 high-k/Ge 構造の解析

2.2.1 PDO による GeO₂ 形成の確認

SiO₂-IL堆積時の構造及びPDOによりGeO₂がGe界面に形成されたことを確認するために、化学結合状態を光電子分光法(XPS: X-ray Photoelectron spectroscopy)を用いて評価した。用いた試料は0.5 nmのSiO₂-ILを堆積した試料とSiO₂-IL形成後にPDOを行った試料である。ここで、電子の脱出角度は90°に設定した。Ge3d内殻準位に対して得られたXPSスペクトルの測定結果をFig.3 に示す。結合エネルギー(BE: Binding Energy)はGe3dバルクピークを基準に取り校正した。SiO₂-IL形成後の試料では、BE= 29.3 eVにGeバルクのピークのみが存在する。これに対して、

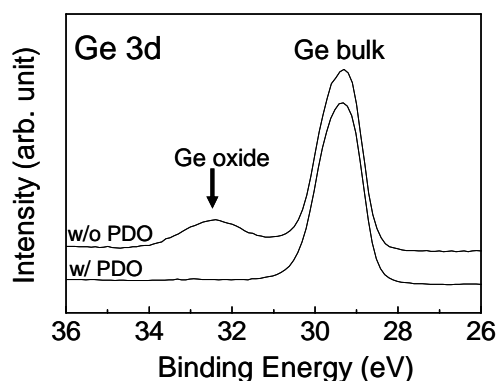


Fig. 3. Ge 3d XPS spectra for samples with or without PDO at 450 °C after SiO₂-IL deposition.

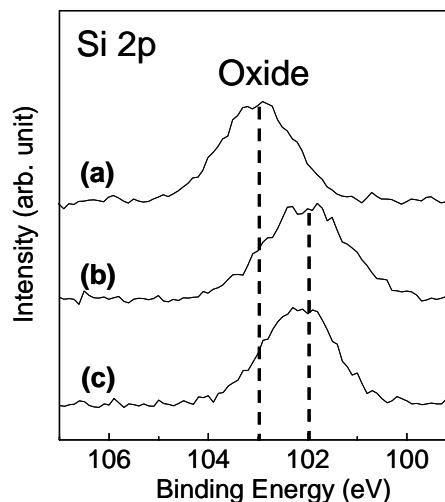


Fig. 4. Si 2p XPS spectra for (a) sample after SiO₂-IL deposition, (b) sample after deposition of 2 nm-Zr and 0.45 nm-SiO₂ and (c) sample after PDA.

PDOした試料では、Geバルクのピークから3.2 eV高いBE近傍にもピークが観測され、GeO₂が形成されたことが確認できた²¹⁾。これにより、当初予測した通り、GeO₂は、SiO₂-IL堆積時には形成されないが、PDO後に形成されることが分かった。

2.2.2 固相反応による ZrSiO₄ 形成の確認

BLPにより形成したSiO₂とZrとの反応層(ZrSiO₄)はXPSによって評価した。用いた試料はGe上にSiO₂-IL(0.5 nm)を形成した試料、その上に2 nm-Zr/0.45 nm-SiO₂を堆積した試料及びPDA後の試料である。Fig. 4 はこれらの3つ試料に対して得られたSi2p準位のXPSスペクトルを示す。BEはGeバルク3pピークを基準に取り校正した。SiO₂-IL堆積後の試料では、Si2pのピークはSiO₂に相当するBE=103 eVに見られた。これに対して、Zr/SiO₂を堆積後及びPDA後の試料では、Si2pのピークは低エネルギー側に約1 eVシフトしていることが分かった。一般に、Si2pピークが低エネルギー側にシフトした場合は、固相反応が起こり、シリケートが形成されたと解釈される。従っ

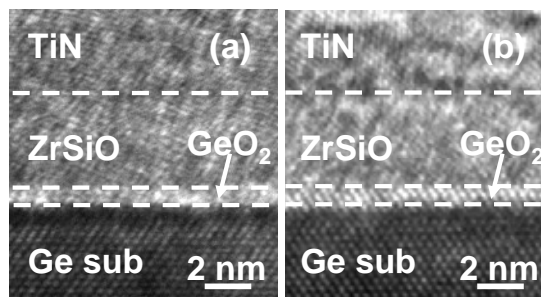


Fig. 5. TEM images of ZrSiO₄/GeO₂/Ge samples (a) before and (b) after PDA.

て、この低エネルギー側へのシフトは、Zrシリケート (Zr-O-Si) に起因するものと判断できる²²⁾。このことから、SiO₂/Zr堆積時に、既にSiO₂とZrがシリケート反応を起こしていると考えられる。

2.2.3 GeO₂-IL の膜厚評価

ILのGeO₂の膜厚を調べるため、TEMにより試料断面を観察した。Fig. 5(a)はZrSiO/GeO₂/Ge試料のPDA前、(b)はPDA後の試料である。共に、ZrSiOはアモルファスであり、ILのGeO₂膜厚は約0.5 nmであった。従って、450 °C - 10 minのPDOにより、GeO₂が約0.5 nm形成されることが分かった。また、500 °CのPDA後もGeO₂の膜厚は増加しないことが分かった。

以上の構造解析の結果から、Fig. 2(d)に示すZrSiO/GeO₂/Ge構造が形成できていることが分かった。それぞれの膜厚は、ZrSiO : 4.2 nm、GeO₂ : 0.5 nmである。ZrSiO及びGeO₂の誘電率を12¹⁹⁾及び5.7⁶⁾とすると、形成した絶縁膜のEOTは1.7 nmと推定できる。

2.3 メタルゲート形成プロセス

形成したhigh-k膜上にTiN電極を50 nmスパッタ堆積し、真空熱蒸着でAlを100 nm堆積した。TiNの成膜条件をTable 3に示す。次に、電気炉を用いて熱処理(PMA: Post Metallization Annealing)を350 °Cで10分間行った。PMAはTiNスパッタ堆積によるプラズマダメージの回復のために行った。最後にリソグラフィにより電極をサイズ $2.3 \times 10^{-4} \text{ cm}^2$ とし、MOSキャパシターを作成した。電極加工では、レジスト膜をマスクとして、Alをリン酸溶液(リン酸 : 硝酸 : 酢酸 = 50 : 1 : 5)により約40 °Cで1分エッチングした。次に、TiNをアンモニア過水(アンモニア : 過酸化水素 = 1 : 4)により室温で約10秒間エッチングして、電極を成形した。

3. 結果と考察

3.1 Zr系 high-k/Ge 構造の電気特性

3.1.1 最小EOTを有するMOSキャパシターの電気特性

本研究で開発したZr系high-k膜形成プロセスに於いて、EOTの低減がどこまで図れるかを明らかにするため、2.1節で述べた形成プロセスに以下の変更を加えた。

Table 3. Condition for TiN deposition.

	P _{Ti} (W)	Ar (sccm)	Pressure (Pa)	Deposition rate (nm/min)	Temp. (°C)
TiN	60	30	2	1.0	R.T.

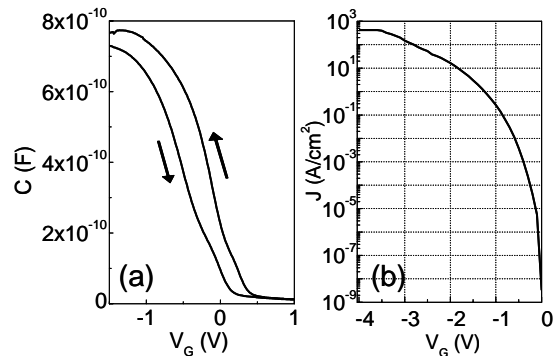


Fig. 6. (a) C-V_G and (b) J-V_G characteristics for a Ge-MOS capacitor #1.

IL-SiO₂の膜厚を0.25 nmとした。450 °C - PDOを省略した。SiO₂の膜厚は、堆積レートと堆積時間より算出した。以後、この試料を#1と称する。

Figure 6(a)は試料#1の容量(C)-電圧(V_G)特性を示す。測定温度は室温で、周波数は1 MHzである。走査バイアスは -1.5 V → +1 Vおよび+1 V → -1.5 Vの双方向に掃引した。#1はEOT = 1.1 nmで、世界的に見ても小さい値を達成することができた。また、ヒステリシス(HT)は235 mVと大きい。フラットバンド電圧(V_{fb})は0.25 Vであった。

Figure 6(b)にリーク電流密度(J)-V_Gを示す。V_{fb} = 1 V (= -0.75 V)におけるJは $6.6 \times 10^{-2} \text{ A/cm}^2$ であり、同一EOTのSiO₂/Siに比べて、約4桁の低減ができた。

3.1.2 high-k/Ge 構造形成プロセスと電気特性との関係

2.1節で述べた方法で作成したhigh-k膜に対してTiNゲートを設けたMOSキャパシターを#2、500 °C - PDAにおける雰囲気ガスをN₂の代わりにO₂にして作成したMOSキャパシターを#3とする。ここで、#3試料に於ける450 °C - PDOは行っていない。この2つの試料ではSiO₂-ILの膜厚は0.5 nmである。

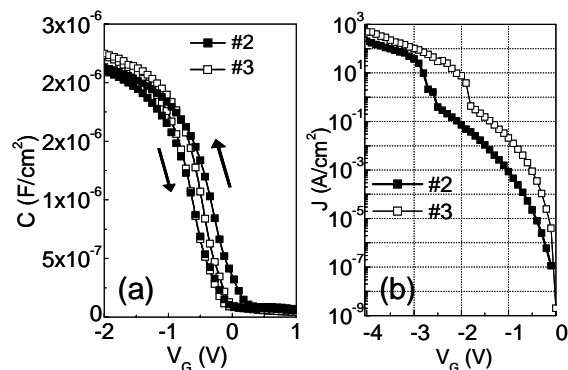


Fig. 7. (a) C-V_G and (b) J-V_G characteristics for a Ge-MOS capacitors #2 and #3.

Figure 7(a)は試料#2及び#3のC-V_G特性を示す。ここで、測定条件は#1と同じである。走査バイアスは - 2 → +1 Vおよび+1 → - 2 Vの双方向に掃引した。#2及び#3のEOTはそれぞれ1.58及び1.54 nm、HTはそれぞれ294及び117 mV、V_{fb}はそれぞれ0.07、- 0.33 Vであった。#2と#3ではEOTとV_{fb}はほぼ変わらない。HTは#2では低減されず、#3の方が小さく良好であった。

Figure 7(b)にJ-V_Gを示す。#2と#3のV_{fb} - 1 Vの値はそれぞれ - 0.93と - 1.33 Vであり、この時のリーク電流密度は 1.3×10^{-4} と 3.5×10^{-2} A/cm²で、#2の方が絶縁性が高い。また、#2は同一EOTのSiO₂/Siより約5桁リーク電流が低減し、非常に高い絶縁性を示した。従って、絶縁性の観点から#2のhigh-k膜形成方法が有効であると考え、以後はこのプロセスの高度化に注力した。

#2のD_{it}をDLTS (deep level transient spectroscopy)法により評価した。その結果をFig. 8に示す。Geのバンドギャップは0.68 eVであり、DLTSでは荷電子帯 (E_v) からギャップ中央 (0.34 eV) 迄に位置する界面準位E_TのD_{it}が評価できる。#2のD_{it}はミッドギャップ付近では 8.2×10^{11} cm⁻²eV⁻¹と目標値の 1×10^{11} cm⁻²eV⁻¹より大きい。high-k/Ge構造に於けるD_{it}としては、それほど悪い結果ではない。

PDOにより生成するGeO₂がD_{it}に及ぼす影響を調べるため、#2の形成方法において、PDO有り無し試料を作成した。TiN電極形成の影響を避けるために、それぞれのZrSiO膜上にSiO₂を5 nm堆積し、電極はhigh-k膜にダメージを与えないAl蒸着により形成した。その結果もFig. 8に示す。ミッドギャップ付近では、PDOを行っていない試料のD_{it}は 2.0×10^{12} cm⁻²eV⁻¹であるのに対して、PDOを行った試料のD_{it}は、 1.1×10^{12} cm⁻²eV⁻¹まで低減できた。このことから、450 °C - PDOでGeO₂を形成する方法の妥当性が明らかになった。450 °C - PDOでは薄いSiO₂-ILを通して、Ge界面

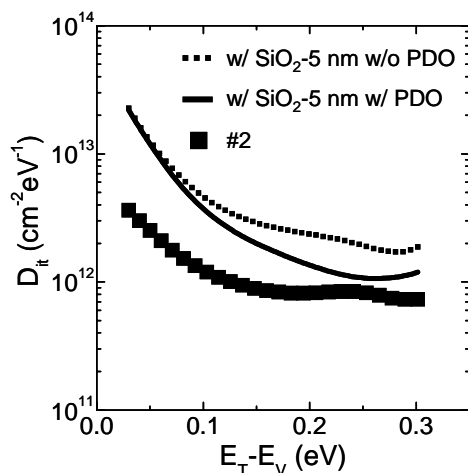


Fig. 8. D_{it} distributions of capacitor #2 and Al/5 nm-SiO₂/ZrSiO/GeO₂/Ge structure with and without 450 °C - PDO.

に酸素を供給しGeO₂を形成している。これに対して、酸素雰囲気中の500 °C - PDOでは、酸素が物理膜厚の厚い4 nmのZrSiOを通してILに供給されるので、酸素が供給され難いと考えられる。

#2のD_{it}は、同じ試料上に5 nm-SiO₂堆積した試料のD_{it}より低いことは興味深い。更に、#2のD_{it}はE_vに近いE_T領域で1桁程度低減しており、その分布は明らかにGeO₂/Ge界面のD_{it}分布と異なる。このD_{it}低減は、TiN電極形成が関与しているものと考えられる。その理由として、TiNをスパッタ堆積する際に発生する窒素イオンがILまで到達し、GeONが形成されたことが考えられる。実際、GeON/Ge構造では、D_{it}= 4×10^{11} cm⁻²eV⁻¹という低い値を示すことが報告されている²³⁾。high-k膜中への窒素導入は、GeO₂/Ge界面欠陥の終端化技術としての潜在能力があると期待できる。

3.2 Al 導入による電気特性の改善

我々は、SiO₂/GeO₂-ILを有するAl/10nm-SiO₂/IL/Ge MOSキャパシターにおいて、400 °CのAl-PMAによりD_{it}を 1×10^{11} cm⁻²eV⁻¹まで低減できることを報告している¹²⁾。そこで、前述の確立したhigh-k膜形成方法にAl-PMAプロセスを導入し、D_{it}低減効果について調査した。

試料は、確立したhigh-k膜作成プロセスに従って準備し、ZrSiO上に直接Alを熱蒸着で100 nm堆積した。その後、電気炉による熱処理(Al-PMA)を350 °Cで10分間行って、ZrSiO絶縁膜へAlを導入した。この試料のJ-V_G特性をFig. 9に示す。リーク電流密度はV_G= - 1 Vで181 A/cm²と大幅に増加した。これは、ZrSiO中に大量のAlが導入されたことに起因すると考えられる。この試料のD_{it}をFig. 10に示す。また、比較参照として、ZrSiO上に5 nmのSiO₂を堆積し、Al導入を行っていない試料のD_{it}もFig. 10に示す。Al導入試料では、Al導入の無い試料よりD_{it}が大幅に低減され、その値はミッド

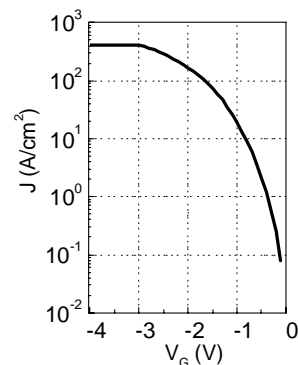


Fig. 9. J-V_G characteristic for Al/ZrSiO/GeO₂/Ge structure with Al-PMA at 350 °C.

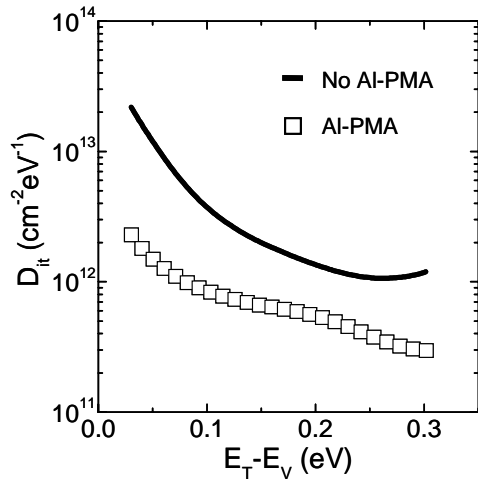


Fig. 10. D_{it} distribution for Al/ZrSiO/GeO₂/Ge structure with Al-PMA at 350 °C. The D_{it} distribution of 5 nm-SiO₂ deposited sample is shown as a reference.

ギャップ付近で $4 \times 10^{11} \text{ cm}^{-2}\text{eV}^{-1}$ であった。Ref. 6で報告されているように、Al-PMAによりAlがGeO₂/Ge界面に導入されると D_{it} が増加する。従って、我々がAl/10nm-SiO₂/IL/Ge MOSキャパシターで報告しているように、Alが終端する場所は、GeO₂/Ge界面ではなく、ZrSiO/GeO₂界面と推論される。

3.3 D_{it} 低減のための新規プロセスの検討

前述の3.1と3.2節で、電極TiN形成の効果とAl-PMAの効果は、ZrSiO/Ge構造に有効であることを述べた。そこで、TiNを薄く堆積し、その上にAlを堆積してAl-PMAを行い、AlをTiN膜を通してZrSiO中に導入する新規プロセスを検討した。ここで、TiNは10 nm堆積し、Al-PMAの温度は350と400 °C、熱処理時間は10 分間、とした。

Figure 11(a)にAl-PMA350と400 °C試料のC-V_G特性を示す。走査バイアスは -2 → +1 Vおよび+1 → -2 Vの双方向に掃引した。測定条件は3.1節と同じである。350及び400 °CでAl-PMA処理した試料の結果は、

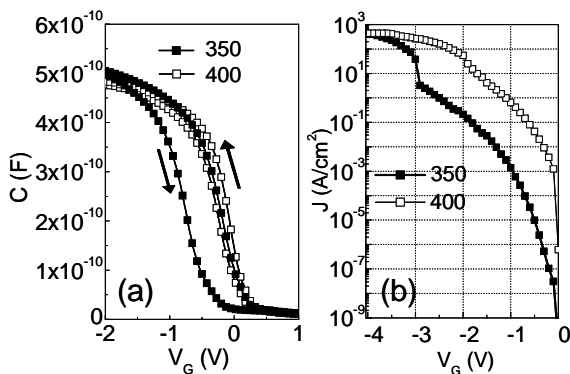


Fig. 11. (a) C-V_G and (b) J-V_G characteristics for Al/TiN/ZrSiO/GeO₂/Ge structures with Al-PMA at 350 and 400 °C.

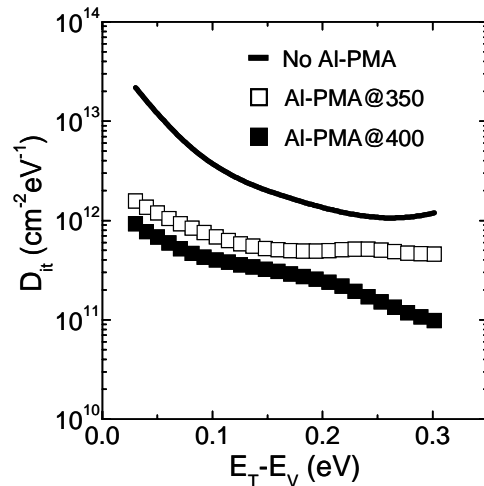


Fig. 12. D_{it} distributions for Al/TiN/ZrSiO/GeO₂/Ge structures with Al-PMA at 350 and 400 °C. The D_{it} distribution of 5 nm-SiO₂ deposited sample is shown as a reference.

EOTが1.58及び1.70 nm、HTが514及び109 mV、 V_{fb} が0.04及び0.11 Vであった。400 °C Al-PMA試料は350 °C試料に比べて、EOTが僅かに0.12 nm増加するが、HTは大幅に低減した。

Figure 11(b)にはJ-V_G特性を示す。400 °C Al-PMA試料は350 °C試料に比べて、 $V_{fb} - 1$ Vでリーク電流が2桁も増加した。これはAl-PMA温度が高いために、Alが導入される量が増加し、絶縁性が劣化したものと考えられる。しかし、リーク電流の観点からは、400 °C試料でも同一EOTのSiO₂/Siより、約3桁のリーク電流低減ができています。

350と400 °CでAl-PMA処理した試料の D_{it} をFig. 12に示す。参照として、熱処理無しのAl/5 nm-SiO₂/ZrSiO/Ge試料の D_{it} もFig. 12に示している。TiN電極形成及びAl-PMAの効果により D_{it} は大幅に低減され、 D_{it} はミッドギャップ付近で $1.0 \times 10^{11} \text{ cm}^{-2}\text{eV}^{-1}$ という目標値に近い値を得ることができた。TiN電極形成による窒素プラズマの効果及び400 °CのAl-PMA効果を同時に行うことは、 D_{it} 低減に非常に有効である。

4. 結 言

極薄SiO₂/GeO₂をILとし、high-k膜材料にはZrSiOを用いて、薄くて良質な界面特性を持つZrSiO/GeO₂-IL/Ge構造の形成に取り組んだ。電気特性及びXPSによる評価から得られた知見は以下のようにまとめることができる。

1. Zrのシリケート化はSiO₂/Zrをスパッタ堆積した際に起こり、絶縁性の高いZrSiOが形成されている。

2. Al/TiN/ZrSiO₂/Ge構造でEOT = 1.1 nmを達成した。リーク電流は、同一EOTのSiO₂/Siに比べると約4桁の低減に成功した。
3. GeO₂-ILを形成するために、450 °C-PDO処理をしたAl/TiN/ZrSiO₂/Ge構造形成において、EOT=1.58 nmで、リーク電流は同一EOTのSiO₂/Siより約5桁低減し、非常に高い絶縁性を示した。PDOはD_{it}低減にも有効で、D_{it}=8.2 × 10¹¹ cm⁻²eV⁻¹であった。
4. ZrSiO₂/Ge構造において電極にTiNを用いると、D_{it}が低減される。これはTiN電極形成時の窒素プラズマの影響であると推論した。
5. Al-PMAはZrSiO₂/Ge構造のD_{it}低減に非常に有効であるが、絶縁性が劣化する。
6. ZrSiO₂/Ge構造において、TiN電極形成時の窒素プラズマの効果とAl-PMAの効果と同時に利用することにより、D_{it}を大幅に低減できる。Al-PMA温度400 °Cの時、EOT=1.7 nm、D_{it}=1 × 10¹¹ cm⁻²eV⁻¹、という良好なhigh-k/Geキャパシター特性を得ることができた。

謝 辞

本研究は科学研究費補助金(基盤研究(A)、課題番号20035011)の助成を受けて実施した。また、XPS測定は九州大学中央分析センターにて行われた。

参 考 文 献

- 1) Y. Kamata: High-k/Ge MOSFETs for future nanoelectronics. *Materials Today*. 11, 1-2, 2009, p30-38.
- 2) S. M. Sze, *Physics of Semiconductor Devices*, 2nd edition, Wiley, New York, (1981)
- 3) D. Kuzum, T. Krishnamohan, A. J. Pethe, A. K. Okyay, Y. Oshima, Y. Sun-, J. P. McVittie, P. A. Pianetta, P. C. McIntyre, and K. C. Saraswat: *IEEE Electron Device Lett.* **29** (2008) 328
- 4) T. Maeda, M. Nishizawa, Y. Morita, and S. Takagi: *Appl. Phys. Lett.* **90** (2007) 072911
- 5) T. Sugawara, Y. Oshima, R. Sreenivasan, and P. C. McIntyre: *Appl. Phys. Lett.* **90** (2007) 112912
- 6) H. Matsubara, T. Sasada, M. Takenaka, and S. Takagi: *Appl. Phys. Lett.* **93** (2008) 032104
- 7) M. Houssa, *High-k Gate Dielectrics*, Institute of Physics Publishing, (2004) 597
- 8) K. Prabhakaran, F. Maeda, Y. Watanabe, and T. Ogino: *Thin Solid Films*, **369** (2000) 289
- 9) T. Hoshi, K. Kutsuki, G. Okamoto, M. Saito, T. Shimura and H. Watanabe: *Appl. Phys. Lett.* **94** (2009) 202112
- 10) S. R. Amy, Y. J. Chabal, F. Amy, A. Kahn, C. Krugg, and P. Kirsch: *Mater. Res. Soc. Symp. Proc.* **917** (2006) 0917
- 11) K. Hirayama, K. Yoshino, R. Ueno, Y. Iwamura, H. Yang, D. Wang, H. Nakashima: *Abs. of ISTDM 2010 Technical Programme Committee*, (2010) 1910236
- 12) K. Hirayama, R. Ueno, Y. Iwamura, K. Yoshino, D. Wang, H. Yang, and H. Nakashima: *Extended Abstracts of the 2010 International Conference on Solid State Devices and Materials (SSDM2010)*, Tokyo, pp. 205-206
- 13) ITRS. ITRS 2009 Edition. <<http://www.itrs.net/Links/2009ITRS/Home2009.htm>>, accessed 2010-10-15
- 14) Y. Kamata, Y. Kamimuta, T. Ino and A. Nishiyama: *Jpn. J. Appl. Phys.* **44** (2005) 2323
- 15) P. Tsipas, S.N. Volkos, A. Sotiropoulos, S. F. Galata, G. Mavrou, D. Tsoutsou, Y. Panayiotatos, A. Dimoulas, C. Marchiori, and J.Fompeyrine: *Appl. Phys. Lett.* **93** (2008) 082904
- 16) C. O. Chui, S. Ramanathan, B. B. Triplett, P. C. McIntyre, and K. C. Saraswat, *IEEE Electron Device Lett.* **23** (2002) 473
- 17) G. Lucovsky and G. B. Rayner, Jr: *Appl. Phys. Lett.* **77** (2000) 2912
- 18) Y. Kamata, Y. Kamimuta, T. Ino, R. Iijima, M. Koyama, and A. Nishiyama: *Tech. Dig. IEDM* (2005) 429
- 19) H. Kim, C. O. Chui, K. C. Sarawat, and P. McIntyre, *Appl. Phys. Lett.* **83** (2003) 2647
- 20) C. Henkel, O. Bethge, S. Abermann, S. Puchner, H. Hutter, and E.Bertagnoli: *Appl. Phys. Lett.* **97** (2010) 152904
- 21) K. Prabhakaran and T. Ogino: *Surf. Sci.* **325** (1995) 263
- 22) H. Watanabe: *Appl. Phys. Lett.* **81** (2002) 4221
- 23) Y. Oshima, M. Shandalov, Y. Sun, P. Pianetta, and P. C. McIntyre: *Appl. Phys. Lett.* **94** (2009) 183102